



特許願 (6)

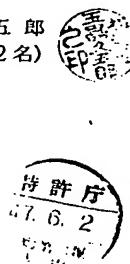
昭和47年 / 月 / 日

特許庁長官 井土武久 殿
差動増幅回路の試験法1. 発明の名称
2. 発明者
住所 神奈川県川崎市中原区上小田中1015番地
氏名 富士通株式会社内
鈴江英治3. 特許出願人
住所 神奈川県川崎市中原区上小田中1015番地
氏名 (522) 富士通株式会社
代表者 高羅芳光4. 代理人
住所 東京都豊島区南長崎2丁目5番2号
氏名 (7139) 代理: 玉蟲久五郎
(外2名)

5. 添付書類の目録

(1) 明細書 1通
(2) 図面式紙 1通
(3) 委任状 1通
(4) 頼書副本 1通

47 054513



1. 発明の名称 差動増幅回路の試験法

2. 特許請求の範囲

正負の二値の入力レベルを有する差動増幅回路の入力オフセットをスル。アンプ方式により測定する差動増幅回路の試験法において、スル。アンプ方式における帰還系にインバータをもうけ、該インバータを入力レベルの極性の切換に応じて挿脱するようにしたことを特徴とする差動増幅回路の試験法。

3. 発明の詳細な説明

本発明は、差動増幅回路の試験法、特にスル。アンプ方式により入力オフセットを測定する差動増幅回路の試験法において、正負の2つの入力レベルを切換えるに亘つて被測定差動増幅回路の入力回路で帰還電圧極性を直接切換えることなく、帰還系にインバータをもうけて該インバータを挿脱することにより、測定精度の劣化を防止するよ

うにした差動増幅回路の試験法に関するものである。

(1)

-201-

⑯ 日本国特許庁

公開特許公報

⑯特開昭 49-11541

⑯公開日 昭49.(1974)2.1

⑯特願昭 47-54513

⑯出願日 昭47.(1972)6.1

審査請求 未請求 (全4頁)

府内整理番号 ⑯日本分類

6416 53 98(5)A0

6416 53 98(5)A21

一般に増幅回路の入力オフセットを測定するに当つては、該増幅回路の入力オフセット分を打消すよう、該被測定増幅回路の出力端子に接続された演算増幅器を介して被測定増幅回路の入力側に負帰還をかけ、被測定増幅回路の出力即ち演算増幅器の入力の電位を零とし、この状態における演算増幅器の出力電圧を測定し上記入力オフセットを算出するようにしている。この測定方式はスル。アンプ方式と呼ばれている。

このスル。アンプ方式を正負2つの入力レベルを有する差動増幅回路の入力オフセットの測定に適用するとき、正入力レベルにおけるオフセット測定時と、負入力レベルにおけるオフセット測定時とで、夫々のオフセット分を打消すように印加する負帰還電圧の極性を変更しなければならず、この極性変更を被測定差動増幅器の入力回路において直接切換えようすると被測定増幅器の利得が高いとき発振その他の測定値精度の劣化の原因となる。

本発明は、この点を解決しようとするものであ

(2)

り、スル・アンプ方式の帰還系にインバータをもうけ、演算増幅器の出力端において該インバータを挿または脱することにより測定精度の劣化を防止しようすることを目的としている。そして、そのため本発明の差動増幅回路の試験法は、正負の二値の入力レベルを有する差動増幅回路の入力オフセットをスル・アンプ方式により測定する差動増幅回路の試験法において、スル・アンプ方式における帰還系にインバータをもうけ、該インバータを入力レベルの極性の切換に応じて挿脱するようにしたことを特徴としている。以下図面を参照しつつ説明する。

第1図は高利得検出増幅器の必要とする入出力特性を示し、第2図は公知のスル・アンプ方式の原理図、第3図は本発明による差動増幅回路の試験法による一実施例を示している。

第1図において横軸は入力レベル V_{in} 、縦軸は出力電圧 V_{out} を表わし、A点およびB点は入力オフセット測定のため規格により定められた測定点、 V_{offs} は該測定点からの被測定差動増幅器の入力オ

(3)

すもので、AMPは被測定増幅器、OPE・AMPはスル・アンプ方式のために用いられる演算増幅器、RLは帰還抵抗、RSは入力抵抗、 V_{offs} は測定されるべき入力オフセット、 V_{out} は演算増幅器の出力電圧を表わしている。

通常の演算増幅器の原理が示す如く、演算増幅器、OPE・AMPの利得が十分高いとすると、安定状態においてはX点の電位は実質的に零電位となり、被測定増幅器AMPの入力端子において、ほぼ

$$V_{offs} = \frac{RS}{RS + RL} V_{out} = 0$$

の条件を満足することになる。このことより出力電圧 V_{out} を計測することにより、被測定増幅器AMPに存在する入力オフセット V_{offs} は、抵抗RLを抵抗RSにくらべて十分大とすると

$$V_{offs} = \frac{RS}{RS + RL} V_{out} \neq \frac{RS}{RL} V_{out} \quad (1)$$

により直接測定することができる。

このスル・アンプ方式を用いて第1図に示す点Aからの入力オフセット V_{offs} を測定する場合を

(5)

特開昭49-11541 (2)

フセントを表わし、 V_{offsA} は正入力レベルにおける入力オフセット、 V_{offsB} は負入力レベルにおける入力オフセットを示している。

即ち、図中点線で示した特性曲線の如く、被測定差動増幅器は、理想状態（即ち入力オフセットがない）にあるときには、正入力レベル V_{in} として $+10mV$ を与えたとき出力電圧 V_{out} は点Aの如く例えば $2.4V$ を示し、負入力レベル V_{in} として $-10mV$ を与えたとき出力電圧 V_{out} は点Bの如く $2.4V$ を示すように規定されている。これに対し実際の被測定特性は図中実線で示した特性曲線の如く、入力オフセット V_{offsA} または V_{offsB} をもつていて、從来差動増幅器の試験においては、該入力オフセット V_{offsA} または V_{offsB} がオフセット規格の上限下限の間に入っているかどうかを試験するだけで、入力オフセットそのものを測定するものでなく、技術データの収集のために困難を感じていた。

このための対策のためにスル・アンプ方式が考慮された。第2図はスル・アンプ方式の原理を示

(4)

考えると、第2図中点線で囲んだ如く、被測定増幅器AMPの入力端子に $+10mV$ を供給し、被測定増幅器AMPの出力は該入力 $+10mV$ に応じて定められる値をとるため、点Xに $-2.4V$ を供給して、点Xの電位を零電位に移す必要がある。

第3図は本発明による差動増幅回路の試験法の一実施例を示し、図中、DIFF-AMPは被測定差動増幅回路、OPE-AMPは演算増幅器、IV-AMPは本発明においてもうけられたインバータ、SW-1およびSW-2は切換スイッチ、RLは帰還抵抗、RSは入力抵抗を示している。

切換スイッチSW-1およびSW-2が図示の状態にあるとき、第1図に示す点Aからの入力オフセット V_{offsA} を測定する状態を表わしている。即ち入力レベル V_{in} が $+10mV$ にあるときの入力オフセットを測定する状態を表わしている。

この場合、演算増幅器OPE-AMPの出力端子が直接帰還抵抗RLに接続されており、被測定差動増幅回路DIFF-AMPの出力に現われる出力電圧を $-2.4V$ だけシフトすることにより、測定条件を第

(6)

1図に示す点Aに固定させている。

この場合の入力オフセットの測定は第2図に関連して説明したものと全く同一であり、入力オフセット V_{offset} は

$$V_{offset} = \frac{RS}{RL} V_{out} \quad (3)$$

より測定される。

次に入力レベルが負極性にあるときの入力オフセット V_{offset} の測定について説明する。この場合被測定差動増幅回路 DIFF-AMP の入力側には $-10mV$ の入力レベル V_{in} が与えられ、これに応じて帰還抵抗 RL より供給される帰還電圧の極性を反転させる必要がある。

このため、本発明においては、インバータ IV-AMP を用いて演算増幅器 OPE-AMP の出力電圧極性を反転させ、インバータ IV-AMP の出力を被測定差動増幅回路の入力側に帰還させることによっている。即ち切換スイッチ SW-1 および SW-2 を図示状態より切換える。このようにすることにより被測定差動増幅回路 DIFF-AMP の入力レベルの極

(7)

側（出力電圧 V_{out} 側）におくことが可能となり、被測定増幅回路の入力回路に変更を加えずに済む利点をもつていて。また切換スイッチ SW-2 は抵抗を介して接地側にもうけられているため何んらの障害とならない。

なお、本発明の試験法は特にリニヤ IC における IC テスターに利用することができ、発振その他の悪影響を与えないため測定時間を短縮でき、検査のコストダウンをはかることができる。また高利得で高周波特性のすぐれた増幅器の試験に一般に用いることができる。

4. 図面の簡単な説明

第1図は高利得被測定増幅器の必要とする入出力特性を示し、第2図は公知のスル・アンプ方式の原理図、第3図は本発明による差動増幅回路の試験法による一実施例を示している。図中、 DIFF-AMP は被測定差動増幅回路、 OPE-AMP は演算増幅器、 IV-AMP はインバータ、 RL は帰還抵抗、 RS は入力抵抗、 SW-1 および SW-2 は正入力レベルにおける入力オフセット V_{offset} 測定と負入力レ

(8)

特開昭49-11541 (3)

性の切換えと共に帰還電圧の極性の切換えが行なわれる。この場合における入力オフセット V_{offset} は

$$V_{offset} = \frac{RS}{RL} V_{out} \quad (4)$$

によつて測定可能となる。

従来入力レベル V_{in} として負極性にある場合における入力オフセット V_{offset} の測定のためには、帰還電圧の極性を反転させるため被測定差動増幅回路 DIFF-AMP の入力回路において切換スイッチなどにより接続変換を行なうことになる。

このような場合、通常被測定差動増幅回路 DIFF-AMP の利得が非常に高いため、不必要的発振現象を生じ、また接続変更による入力回路のリード線長の変化によつて正入力レベルの場合と負入力レベルの場合とで差異を生ずるなど、測定値精度が劣化していた。

以上説明した如く、本発明はインバータを入力レベルの極性の変更に伴なつて挿脱するようにしたため、切換スイッチ SW-1 は帰還抵抗 RL の出力

(8)

ベルにおける入力オフセット V_{offset} 測定との切換スイッチを示している。

特許出願人 富士通株式会社

代理人弁理士 玉巻 久五郎

外2名

特開昭49-11541 (4)

図 1

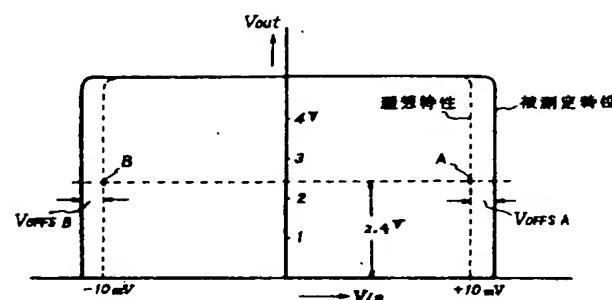


図 2

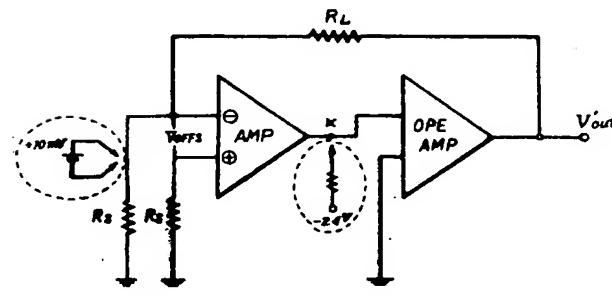


図 3

